

[19]中华人民共和国专利局

[51] Int.Cl.⁶

H03L 7/00



[12] 发明专利申请公开说明书

[21] 申请号 98100980.8

[43]公开日 1998 年 11 月 4 日

[11] 公开号 CN 1198043A

[22]申請日 98.3.31

[30] 优先权

[32]97.3.31 [33]JP[31]081521 / 97

1711 申请人 日本电气株式会社

地址 日本东京

[72]发明人 尤金·奥沙利文 霜田招史

[74] 专利代理机构 中原信达知识产权代理有限责任公司

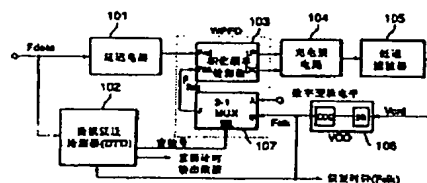
代理人 穆德骏

权利要求书 7 页 说明书 15 页 附图页数 18 页

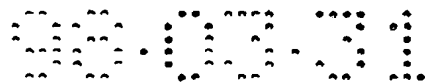
[54]发明名称 利用一窗口相位比较器的数据和时钟恢复锁相环电路

[57]摘要

本发明提供一种数据和时钟恢复锁相环电路，可从随机输入数据中提取时钟信号，包括一延迟单元，一数据转换检测单元，一相位比较单元，一充电泵，一滤波器单元，一压控振荡器以及一多路复用器单元。该电路运行稳定，无谐波锁定问题。



(BJ)第 1456 号



框图，

图 10 是根据本发明的第一个例子的数据和时钟恢复 PLL 电路方框图。

图 11 是根据本发明的第二个例子的数据和时钟恢复 PLL 电路方框图,

图 12 是图 11 中数据和时钟恢复 PLL 电路的一个实例的方框图。

图 13 是图 12 中 PLL 电路的时间曲线,

图 14 是图 12 中数据和时钟恢复 PLL 电路的模拟结果显示,

图 15 是根据本发明的第三个例子的数据和时钟恢复 PLL 电路方框图。

图 16 是根据本发明的第四个例子的数据和时钟恢复 PLL 电路方框图。

图 17 是图 16 中数据和时钟恢复 PLL 电路的一个实例的方框图，

图 18 是根据本发明的第五个例子的数据和时钟恢复 PLL 电路方框图，

图 19 是一数据跃迁检测器一个实例的电路图，

图 20 是数据跃迁检测器的另一实例的电路图。

图 21 是数据跃迁检测器的再一实例的电路图。

图 22 是数据跃迁检测器的又一实例的电路图。

为了更好地理解本发明,首先参照图1至图5,对传统的数据和时钟恢复PLL电路进行描述。

在图 1 中, 传统的数据和时钟恢复 PLL 电路带有一连接于一数据输入端 12 和一数据输出端 13 之间的判决电路 11。该判决电路 11 从数据输入端接收一数据输入信号 12A, 判定该输入数据信号 12A 的逻辑状态, 然后将一输出信号 13A 输出给输出端 13。一倍增器 14 连接于数据输入端, 以将输入数据信号 12A 倍增并以产生一倍增的输入数据信号 14A。一电压控制振荡器 (VCO) 产生一时钟信号 15A, 将该时钟信号 15A 供给一时钟输出端 16 和判决电路 11。一相位比较器 17 连接于倍增器 14 和 VCO15, 用以比较倍增输入数据信号 14A 与时钟信号 15A, 产生一比较信号 17A。一取样保持 (S/H) 开关电路 18 连接于相位比较器 17, 取样和保持比较信号 17A, 以产生一 S/H 信号 18A。一控制电路 19 连接于数据输入端 12 和 S/H 开关电路 18, 根据输入数据信号 12A 产生一控制信号 19A, 来控制 S/H 电路 18。一低通滤波器 (LPF) 连接于 S/H 开关电路 18 和 VCO15, 对 S/H 信号 18A 进行滤波, 以提供一滤波信号 20A 给 VCO15。

说明书附图

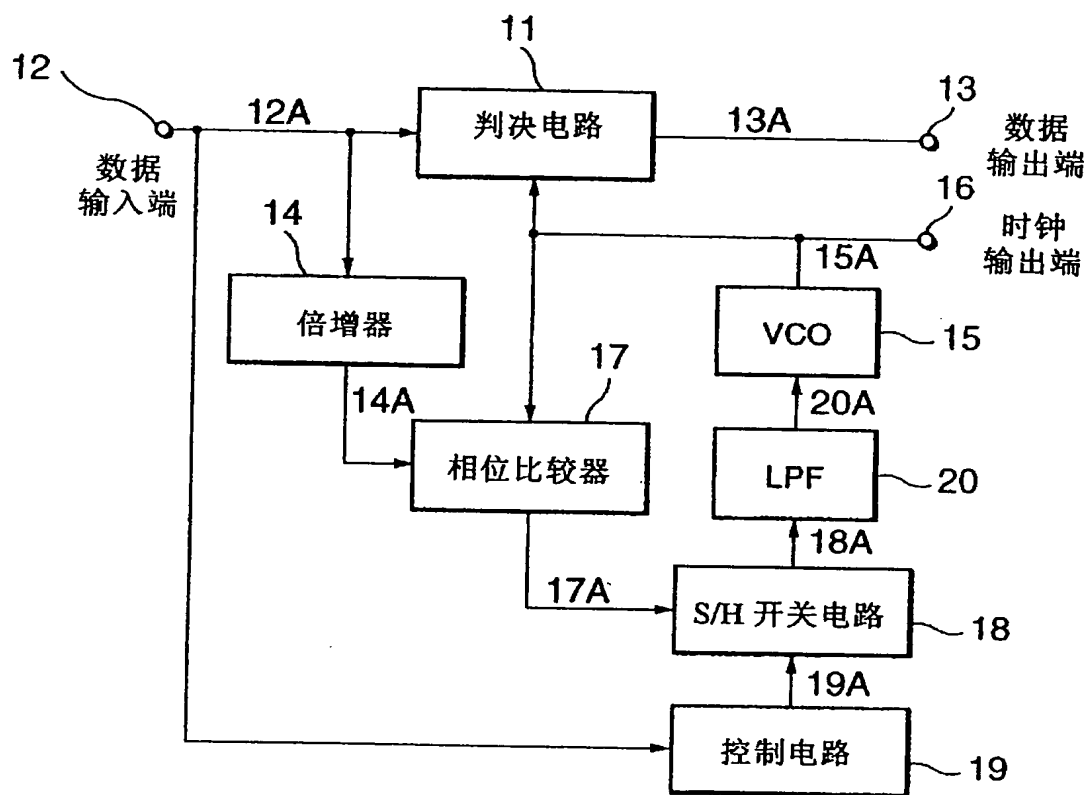


图 1 现有技术